

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-332708
 (43)Date of publication of application : 30.11.2001

(51)Int.CI.

H01L 27/115
 H01L 27/10
 H01L 21/8247
 H01L 29/788
 H01L 29/792

(21)Application number : 2000-148837

(71)Applicant : NEC CORP

(22)Date of filing : 19.05.2000

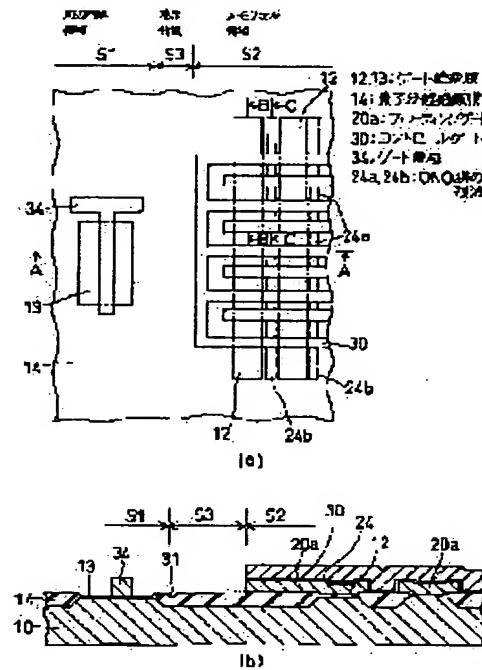
(72)Inventor : TANAKA MOTOKO

(54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a nonvolatile semiconductor storage device wherein deterioration of characteristic of a transistor formed in a peripheral circuit region and characteristic of memory element of a memory cell region can be prevented without increasing a chip area, and a method of manufacturing the device.

SOLUTION: Polysilicon is formed on the memory cell region S2 and the whole surface of the peripheral circuit region S1. The polysilicon on an element isolation insulating film between gate insulating films 12 on the memory cell region is selectively eliminated, and a substratum layer 20 of a floating gate is formed. After that, an ONO film 24 is formed on the whole surface, and the polysilicon in the peripheral circuit region and the ONO film 24 are eliminated. A conducting film is formed on the whole surface, and a control gate 30 and a floating gate 20a are patterned. A gate electrode 34 is patterned subsequently. In this case, the ONO film 24 and the polysilicon are eliminated at a boundary region S2, and a trench 31 wherein the element isolation insulating film is dug is formed in a region where the conducting film is eliminated by etching when the gate electrode is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-332708
(P2001-332708A)

(43)公開日 平成13年11月30日 (2001.11.30)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード(参考)	
H 0 1 L 27/115		H 0 1 L 27/10	4 8 1	5 F 0 0 1
27/10	4 8 1		4 3 4	5 F 0 8 3
21/8247		29/78	3 7 1	5 F 1 0 1
29/788				
29/792				

審査請求 未請求 請求項の数 6 O.L (全 26 頁)

(21)出願番号 特願2000-148837(P2000-148837)

(22)出願日 平成12年5月19日 (2000.5.19)

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 田中 素子
東京都港区芝五丁目7番1号 日本電気株式会社内

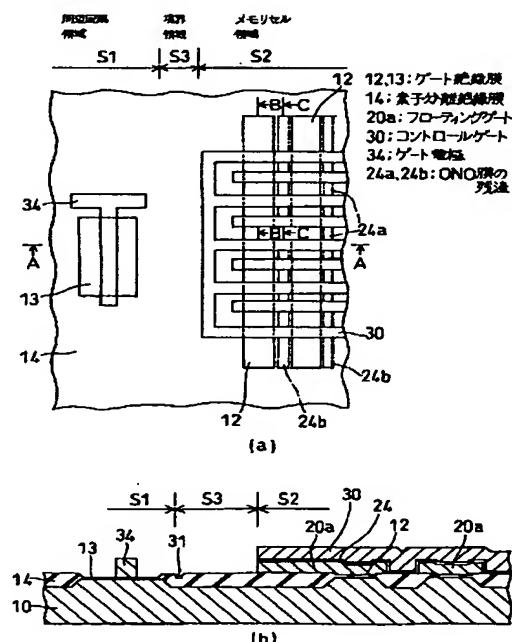
(74)代理人 100090158
弁理士 藤巻 正憲
Fターム(参考) 5F001 AA25 AA43 AB02 AD17 AD51
AC40
5F083 EP02 EP27 EP55 EP63 GA09
JA04 LA10 NA02 NA04 ZA07
ZA28
5F101 BA07 BB02 BD07 BD32 BH21

(54)【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57)【要約】

【課題】 チップ面積を増大することなく、周辺回路領域に形成されるトランジスタ特性及びメモリセル領域のメモリ素子特性の劣化を防止することができる不揮発性半導体記憶装置及びその製造方法を提供する。

【解決手段】 メモリセル領域S2及び周辺回路領域S1の全面にポリシリコンを形成し、メモリセル領域のゲート絶縁膜12の間の素子分離絶縁膜上のポリシリコンを選択的に除去してフローティングゲートの下地層20を形成する。この後、全面にONO膜24を形成し、周辺回路領域のポリシリコン及びONO膜24を除去する。更に全面に導電膜を形成してコントロールゲート30及びフローティングゲート20aをパターニングし、次いで、ゲート電極34をパターニングするが、この際、境界領域S2にてONO膜24及びポリシリコンが除去され且つゲート電極形成時に導電膜がエッチング除去される領域には素子分離絶縁膜が掘り込まれた溝31が形成される。



【特許請求の範囲】

【請求項1】 第1の導電膜により形成されたフローティングゲート、このフローティングゲート上に形成された絶縁膜、及びこの絶縁膜上の第2の導電膜により形成されたコントロールゲートを有する複数のメモリ素子が形成されたメモリセル領域と、ゲート電極が前記第2の導電膜より形成され前記メモリ素子を制御するトランジスタを有する周辺回路領域と、前記メモリセル領域と前記周辺回路領域との間に形成された素子分離絶縁膜と、コントロールゲートを形成する際に前記素子分離絶縁膜表面に形成された溝と、を有することを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記絶縁膜はシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜とを有することを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 メモリセル領域と周辺回路領域とを有する不揮発性半導体記憶装置の製造方法において、半導体基板表面に素子分離絶縁膜を形成し前記素子分離絶縁膜に囲まれたシリコン基板上に第1のゲート絶縁膜を形成する工程と、全面にフローティングゲート形成用の第1の導電膜を形成し前記メモリセル領域の素子分離絶縁膜上に第1の開口部を有する第1のレジスト膜をマスクとして前記第1の導電膜を選択的に除去しフローティングゲートの下地層を形成する工程と、前記第1のレジスト膜及び第1の導電膜をマスクとして前記シリコン基板と同一導電型の不純物を注入してチャネルストップを形成する工程と、全面に絶縁膜を形成する工程と、前記周辺回路領域を露出する第2の開口部を有する第2のレジスト膜をマスクとして前記周辺回路領域の前記絶縁膜、前記第1の導電膜及び第1のゲート絶縁膜を選択的に除去して第2のゲート絶縁膜を形成し直す工程と、全面に第2の導電膜を形成し前記メモリセル領域に第3の開口部を有する第3のレジスト膜をマスクとして第1の導電膜及び第2導電膜をパターニングし夫々フローティングゲート及びコントロールゲートを形成する工程と、前記周辺回路領域に第4の開口部を有する第4のレジスト膜をマスクとして前記周辺回路領域に第2の導電膜をパターニングしてゲート電極を形成する工程と、を有し、前記第2の開口部のメモリセル領域側の端部と前記第3の開口部の周辺回路領域側の端部とが所定の間隙を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項4】 前記第1のレジスト膜を除去し全面に絶縁膜を形成する工程は、シリコン酸化膜、シリコン窒化膜、及びシリコン酸化膜を順次積層する工程を有することを特徴とする請求項3に記載の不揮発性半導体記憶装置の製造方法。

【請求項5】 前記メモリセル領域にはメモリ素子がマトリクス状に配置され、前記メモリセル領域の素子分離絶縁膜は前記メモリ素子の列間を分離し、前記第1の開口部は前記メモリ素子の列間に列方向に延びる帯状の領

域であることを特徴とする請求項3又は4に記載の不揮発性半導体装置の製造方法。

【請求項6】 第3のレジスト膜をマスクとして第1の導電膜及び第2導電膜をパターニングして夫々フローティングゲート及びコントロールゲートを形成すると共に前記第1の開口部の長手方向の端部を覆う位置にて第1の導電膜、絶縁膜及び第2の導電膜をパターニングしてダミーパターンを形成する工程を有することを特徴とする請求項3乃至5のいずれか1項に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、メモリセル領域及び周辺回路領域を有する不揮発性半導体記憶装置及びその製造方法に関し、特に、周辺回路領域のトランジスタ特性のバラツキの防止を図った不揮発性半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】 図11(a)は従来の不揮発性半導体記憶装置を示す平面図、図11(b)は図11(a)のL-L断面を示す断面図である。また、図12乃至図17は従来の不揮発性半導体記憶装置の製造方法をその工程順に示す図である。

【0003】 図11(a)及び(b)に示すように、シリコン基板110表面に素子分離絶縁膜114が形成され、周辺回路領域S4とメモリセル領域S5とが仕切られている。周辺回路領域S4においては、トランジスタ形成領域の周囲にも素子分離絶縁膜114が形成され、この素子分離絶縁膜114に囲まれた領域のシリコン基板110上にはゲート絶縁膜126が形成されている。

更に、このゲート絶縁膜126上にはゲート電極134が形成されており、このゲート電極134の一端は素子分離絶縁膜114上に延出して形成されている。また、メモリセル領域S5においては、素子分離絶縁膜114によって複数本の帯状の領域が仕切られて、この帯状の領域のシリコン基板110上にはゲート絶縁膜112が形成されている。そして、この帯状のゲート絶縁膜112の長手方向と直交する方向に延びる複数本のコントロールゲート130が形成され、その端部が1つ置きに接続されて櫛形になっている。このコントロールゲート130の下層であって、ゲート絶縁膜112上には、フローティングゲート120a、更に、この上にはONO膜(シリコン酸化膜-シリコン窒化膜-シリコン酸化膜の3層構造)124が形成されている。フローティングゲート120aが形成されている領域を介したゲート絶縁膜112の下のシリコン基板110の表面には拡散層

(図示せず)が形成され、隣接するメモリ素子間で共用されている。また、周辺回路領域S4とメモリセル領域S5との間にはダミーパターン136が形成され、不揮発性半導体記憶装置の動作時にはGNDに接続される。

【0004】次に、従来の不揮発性半導体記憶装置の製造方法について説明する。図12に示すように、例えば周辺回路領域S4のトランジスタ形成領域の周囲、及びメモリ回路領域のメモリ素子形成領域の周囲のP型のシリコン基板110の表面に素子分離領域114を形成し、前記トランジスタ形成領域及びメモリ素子形成領域のシリコン基板110上にゲート絶縁膜112を形成した後、全面に第1のポリシリコン膜を形成し、更に、レジスト膜を形成し、周辺回路領域S4及びメモリセル領域S5のゲート絶縁膜112以外を開口したレジストパターン118を形成する。そして、このレジストパターン118をマスクとしてメモリセル領域S5の第1のポリシリコン膜をバーニングし、メモリセル領域S5のフローティングゲート電極の下地層120を形成する。このとき、周辺回路領域S4のポリシリコン膜116は除去しないで残す。これは、次工程でのチャネルストップ用のイオンの注入を阻止するためである。そして、レジストパターン118並びにポリシリコン膜116及び下地層120をマスクとしてチャネルストップ用のイオンを注入する。この場合、シリコン基板110はP型であるので、シリコン基板110と同一導電型のP型領域を形成できるホウ素(B)イオンを注入する。このイオン注入は、以下の目的のために行われる。即ち、メモリ素子間を分離する素子分離領域114の幅がメモリセルの微細化に伴い小さくなってくると、素子分離領域が十分大きい他の素子分離領域と比較して、素子分離領域の厚さが薄くなり、分離能力が劣化し、隣接チャネル間で電流が流れる等の悪影響が生じる。これを防止するため、素子分離領域114の内部及び下部にシリコン基板110よりも濃度が高いP型領域であるチャネルストップを形成する。

【0005】次に、レジストパターン118を除去した後、図13に示すように、メモリセル領域S5のフローティングゲートの下地層120を覆うレジストパターン122を形成し、周辺回路領域S4のポリシリコン膜116をドライエッティングにより除去する。メモリセル領域S5に形成するレジストパターン122は周辺回路領域S4のポリシリコン膜116を全て除去するため、周辺回路領域S4側の端部がポリシリコン膜116のメモリセル領域S5側の端部と重ならないように形成する。ポリシリコン膜116を除去すると、ポリシリコン膜116の下側のゲート絶縁膜112も一部除去されてしまう。従って、周辺回路領域S4のゲート絶縁膜112をウェットエッティングで完全に除去する。

【0006】次いで、レジストパターン122を除去後、図14に示すように、全面にONO膜124を形成する。このONO膜124は、メモリ素子のフローティングゲート電極が保持した電荷を逃がさないようにするための絶縁膜である。

【0007】ONO膜124は、フローティングゲート

電極上に形成する膜として最適化されたものであるが、周辺回路領域S4のトランジスタのゲート絶縁膜としては不適切であるので、図15に示すように、周辺回路領域S4を開口したレジストパターン125を形成し、このレジストパターン125をマスクとして周辺回路領域S4のONO膜124を除去する。ONO膜124の除去については、ドライエッティングにより除去する方法と、ウェットエッティングで除去する方法がある。次いで、ゲート酸化を行って、周辺回路領域S4にゲート絶縁膜126を形成する。

【0008】次に、第2のポリシリコン膜を全面に形成し、更にレジスト膜を形成し、周辺回路領域S4を覆うと共にメモリセル領域S5のコントロールゲート電極形成領域以外を開口したレジストパターン128を形成する。そして、図16に示すように、メモリセル領域S5のコントロールゲート電極130をバーニングする。また、コントロールゲート130とゲート絶縁膜112との間のフローティングゲートの下地層120及びONO膜124も除去されてコントロールゲート130とはONO膜124を介してフローティングゲート120aが形成される。バーニングにより第2のポリシリコンが除去された領域138は、下側の素子分離領域114が掘り込まれる。

【0009】最後に、図17に示すように、メモリセル領域S5を覆うと共に周辺回路領域S4のゲート電極形成領域以外を開口したレジストパターン132を形成し、このレジストパターン132をマスクとして第2のポリシリコンをバーニングし、周辺回路領域S4のゲート電極134を形成する。このとき、領域138における素子分離領域114がエッティングされて素子分離膜としての膜厚が減るのを防止するために、メモリセル領域S5を覆うレジストパターン132の周辺回路領域S4側の端部は領域138を覆うように形成する。これにより、メモリセル領域S5と周辺回路領域S4との間に、第2のポリシリコンにより形成されたダミーパターン136が残される。このダミーパターン136は、メモリセル領域S5を取り囲んで形成されて、この不揮発性半導体記憶装置の使用の際には、GNDに接続される。

【0010】
【発明が解決しようとする課題】しかしながら、この従来の製造方法では、ONO膜124を周辺回路領域S4から除去するために、ドライエッティング又はウェットエッティングが行われるため、以下のようないくつかの問題点がある。

【0011】即ち、ドライエッティングの場合は、オーバーエッティングしたときに、周辺回路領域S4のゲート絶縁膜112のみならず、その下のシリコン基板110がエッティングされシリコン基板110の表面が掘られてしまうという欠点がある。これは、ONO膜124を構成する窒化膜及び酸化膜のエッティングレートはほぼ同じである。

るので、酸化膜のみを残すことは難しいためである。ゲート絶縁膜形成領域のシリコン基板が掘られると、ゲート耐圧が劣化したり、フィールド端でのリーク電流の原因となったり、トランジスタのON電流が小さくなったりするという問題が生じる。

【0012】一方、ウェットエッチングの場合は、窒化膜エッチング液によって、窒化膜と酸化膜とのエッチングレートに差をつけることができるが、窒化膜のウェットエッチング液に関しては、レジストがマスクとならないため、代わりにマスク用の酸化膜を形成しなければならない。しかし、このマスク用の酸化膜を除去するときに、メモリセル領域S5のONO膜124の最上層の酸化膜が除去されてしまうという欠点がある。メモリセル領域S5のONO膜の最上層の酸化膜が除去されてしまうと、不揮発性メモリとしての動作特性が変わってしまったり、製品の歩留りが悪くなったりするという問題が生じる。

【0013】また、従来の製造方法においては、コントロールゲート電極130を形成する際のレジスト膜のレジストパターン128と周辺回路ゲート電極134を形成する際のレジスト膜のレジストパターン132とが重なっているため、メモリセル領域S5と周辺回路領域S4との間に第2のポリシリコン膜が残されてダミーパターン136が形成されるが、ダミーパターン136はレイアウト上無駄な領域でありチップ面積を増大させる原因となる。

【0014】本発明はかかる問題点に鑑みてなされたものであって、チップ面積を増大することなく、周辺回路領域に形成されるトランジスタ特性及びメモリセル領域のメモリ素子特性の劣化を防止することができる不揮発性半導体記憶装置及びその製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明に係る不揮発性半導体記憶装置は、第1の導電膜により形成されたフローティングゲート、このフローティングゲート上に形成された絶縁膜、及びこの絶縁膜上の第2の導電膜により形成されたコントロールゲートを有する複数のメモリ素子が形成されたメモリセル領域と、ゲート電極が前記第2の導電膜より形成され前記メモリ素子を制御するトランジスタを有する周辺回路領域と、前記メモリセル領域と前記周辺回路領域との間に形成された素子分離絶縁膜と、コントロールゲートを形成する際に前記素子分離絶縁膜表面に形成された溝と、を有することを特徴とする。

【0016】前記絶縁膜はシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜とを有することができる。

【0017】本発明に係る不揮発性半導体記憶装置の製造方法は、メモリセル領域と周辺回路領域とを有する不揮発性半導体記憶装置の製造方法において、半導体基板

表面に素子分離絶縁膜を形成し前記素子分離絶縁膜に囲まれたシリコン基板上に第1のゲート絶縁膜を形成する工程と、全面にフローティングゲート形成用の第1の導電膜を形成し前記メモリセル領域の素子分離絶縁膜上に第1の開口部を有する第1のレジスト膜をマスクとして前記第1の導電膜を選択的に除去しフローティングゲートの下地層を形成する工程と、前記第1のレジスト膜及び第1の導電膜をマスクとして前記シリコン基板と同一導電型の不純物を注入してチャネルストップを形成する工程と、全面に絶縁膜を形成する工程と、前記周辺回路領域を露出する第2の開口部を有する第2のレジスト膜をマスクとして前記周辺回路領域の前記絶縁膜、前記第1の導電膜及び第1のゲート絶縁膜を選択的に除去して第2のゲート絶縁膜を形成し直す工程と、全面に第2の導電膜を形成し前記メモリセル領域に第3の開口部を有する第3のレジスト膜をマスクとして第1の導電膜及び第2導電膜をパターニングし夫々フローティングゲート及びコントロールゲートを形成する工程と、前記周辺回路領域に第4の開口部を有する第4のレジスト膜をマスクとして前記周辺回路領域に第2の導電膜をパターニングしてゲート電極を形成する工程と、を有し、前記第2の開口部のメモリセル領域側の端部と前記第3の開口部の周辺回路領域側の端部とが所定の間隙を有することを特徴とする。

【0018】本発明においては、第2のレジスト膜をマスクとして周辺回路領域の絶縁膜を除去する際に、絶縁膜の下層には第1の導電膜が形成されているため、シリコン基板をオーバエッチングすることができなく、周辺回路領域に形成するトランジスタ特性を劣化させない。また、周辺回路領域とメモリセル領域との間では周辺回路の絶縁膜及び第1の導電膜を除去するための第2のレジスト膜に形成された第2の開口部のメモリセル領域側の端部と、コントロールゲート形成用の第3のレジスト膜に形成された第3の開口部の周辺回路領域側の端部とが重ならないため、周辺回路領域とメモリセル領域との間に従来のようにメモリセル領域の周囲を取り囲むダミーパターンが形成されず、チップ面積が増大することを防止できる。

【0019】前記第1のレジスト膜を除去し全面に絶縁膜を形成する工程は、シリコン酸化膜、シリコン窒化膜、及びシリコン酸化膜を順次積層する工程を有することができる。また、前記メモリセル領域にはメモリ素子がマトリクス状に配置され、前記メモリセル領域の素子分離絶縁膜は前記メモリ素子の列間を分離し、前記第1の開口部は前記メモリ素子の列間に列方向に延びる帯状の領域とすることができる。更に、第3のレジスト膜をマスクとして第1の導電膜及び第2導電膜をパターニングして夫々フローティングゲート及びコントロールゲートを形成すると共に前記第1の開口部の長手方向の端部を覆う位置にて第1の導電膜、絶縁膜及び第2の導電膜

をパターニングしてダミーパターンを形成する工程を有してもよい。これにより、コントロールゲートを形成する際に、素子分離絶縁膜上であって第1の導電膜の側壁部分に形成された絶縁膜は、高さがあるため完全には除去されずに残渣となるが、コントロールゲート間の残渣は両端がコントロールゲートに密着し、コントロールゲート外部の残渣は一端がコントロールゲート、他端がダミーパターンに密着するため、この後工程でこれらの残渣が素子分離絶縁膜から剥離することがない。

【0020】

【発明の実施の形態】以下、本発明の実施例について添付の図面を参照して具体的に説明する。図1 (a) は本発明の第1実施例に係る不揮発性半導体記憶装置を示す平面図、図1 (b) は、図1 (a) のA-A線による断面図である。また、図2 (a) 及び (b) は夫々図1 (a) のB-B線及びC-C線による断面図である。

【0021】図1 (a) 及び (b) に示すように、シリコン基板10表面には、素子分離絶縁膜14が形成され、この素子分離絶縁膜14によりメモリセル領域S2と周辺回路領域S1とが仕切られている。メモリセル領域S2においては、メモリセル領域S2内で素子分離絶縁膜14により相互に平行に延びるように複数の帯状の領域が仕切られ、この領域のシリコン基板10上にゲート絶縁膜12が形成されている。そして、このゲート絶縁膜12が形成された帯状領域の長手方向とは直交するように、複数本のコントロールゲート30が形成されている。コントロールゲート30は、その端部が一本置きに接続された樹形になっている。そして、このコントロールゲート30の下層であって、ゲート絶縁膜12にはフローティングゲート20aが形成され、更に、フローティングゲート20a上にONO膜24が形成されている。本実施例においては、コントロールゲート30及びフローティングゲート20aの形成工程直後には、ゲート絶縁膜12が形成されている領域間のコントロールゲート30が形成されていない領域の素子分離絶縁膜14の縁部に沿ってONO膜の残渣24a、24bが形成され、コントロールゲート30が形成されている領域の内側に形成されたONO膜24aの残渣はその両端がコントロールゲート30に密着している。また、コントロールゲート30形成領域外部に形成されているONO膜の残渣24bは、ゲート絶縁膜12の間の素子分離絶縁膜14上にてコの字型になっている。但し、コントロールゲート30形成工程の後工程においてLDD (Light Doped Drain) 構造のメモリ素子のソース・ドレイン領域となる拡散層形成用のサイドウォールを形成するための絶縁膜を形成してエッチバックをするときに、ONO膜の残渣24a、24bは消失する。このようにしてメモリセル領域では、メモリ素子がマトリクス状に形成され、列方向のメモリ素子の拡散層が相互に共用されている。

【0022】また、周辺回路領域S1においては、素子分離絶縁膜14に囲まれた領域のシリコン基板10上にゲート絶縁膜13が形成されており、このゲート酸化膜13上にゲート電極34が形成されている。このゲート電極34の両端はゲート絶縁膜上から素子分離絶縁膜上に延出し、更にゲート電極34の一端がゲート電極34が延びる方向と直交する方向に相互に逆方向に延出し、上面視でT字型となっている。本実施例においては、メモリセル領域S2に形成されたコントロールゲート30

05 の周辺回路領域S1側の端と、周辺回路領域S1に形成されたゲート電極34のメモリセル領域S2側の端との間の領域を境界領域S3とする。この境界領域S3には素子分離絶縁膜14の表面が掘り込まれた領域31がメモリセル領域S2を取り囲むように存在する。これは、10 後述するように、コントロールゲート30を形成する際に生じるものである。

【0023】次に、このように構成された本実施例の半導体記憶装置の製造方法について説明する。図3乃至図7は、その製造方法を工程順に示す図であって、図3 20 (a) 乃至図7 (a) は上面図、図3 (b) 乃至図7 (b) は、夫々D-D線乃至H-H線における断面図である。

【0024】図3 (a) 及び (b) に示すように、シリコン基板10表面に素子分離領域14を形成し、素子分離領域14に囲まれた素子領域のシリコン基板10上にゲート絶縁膜12を形成する。次いで、全面に第1のポリシリコン膜を形成して、その上にレジスト膜を形成してレジストパターン (第1のレジスト膜) 18を形成する。レジストパターン18は、メモリセル領域S2のメモリ素子の列間のみに帯状に相互に平行に延びる複数の開口部が形成されている。このレジストパターン18をマスクとしてメモリセル領域S2のみをパターニングして、フローティングゲートの下地層20を形成する。このように、本発明においては、第1のポリシリコン膜のパターニングするとき、第1のポリシリコン膜はメモリセル領域S2のメモリ素子間のみを除去する。これには以下に示すような効果が期待できる。このようにメモリ素子のみエッチング除去されたポリシリコン膜上に、HSG (Hemispherical grained Silicon) を形成する40 場合、ポリシリコン膜の表面積が大きいためメモリセル領域S2がポリシリコン膜の縁部から離れたところに位置することになり、CVDによりONO膜を形成すると、メモリセル領域S2のメモリ素子のフローティングゲート上に形成されるONO膜24の膜厚が均一になり、メモリセル特性のばらつきを抑制することができる。この効果が生じる理由は、CVDでONO膜を形成すると、縁部のONO膜が厚くなり、中央部はONO膜が薄くなるという膜厚の表面積依存性があるが、表面積が大きい下地層の上にONO膜を成膜すると、メモリセル領域S2のメモリ素子が下地層のポリシリコン膜の縁

部から離れた位置に形成されているため、CVDによって生じる表面積依存性の問題を回避することができるためである。次に、レジストパターン18を除去する前にチャネルストップ用のイオンを注入する。レジストパターン18を除去した後、全面にシリコン酸化膜—シリコン窒化膜—シリコン酸化膜から構成される3層構造の絶縁膜であるONO膜を形成する。

【0025】次に、図4(a)及び(b)に示すように、周辺回路領域S1を露出し、メモリセル領域S2を覆うレジストパターン22を形成し、メモリセル領域S2外のONO膜24とポリシリコン膜とをドライエッチングにより除去する。この際、周辺回路領域S1のゲート絶縁膜12も除去されるため、ウェットエッチングによりゲート絶縁膜12を完全に除去する。

【0026】その後、図5(a)及び(b)に示すように、新たに周辺回路領域S1のゲート絶縁膜13を形成し直す。次いで、レジストパターン22を除去した後、全面に例えれば下層がポリシリコン膜で上層が高融点金属シリサイドからなる2層構造の導電膜27を全面に形成する。

【0027】その後、図6(a)及び(b)に示すように、周辺回路領域S1の全面を覆い、メモリセル領域S2のコントロールゲート形成領域以外の導電膜27が露出されたレジストパターン28を形成し、このレジストパターン28をマスクとしてメモリセル領域S2にコントロールゲート30をバーニングする。このときレジストパターン28の周辺回路領域S1のメモリセル領域S2側の端部において、境界領域S3に形成されている第1のポリシリコン膜を完全に除去するため、境界領域S3の第1のポリシリコン膜と重ならないように形成する。このために、図4に示すメモリセル領域S2を覆うレジストパターン22の周辺回路領域S1側の端部と、図5に示す周辺回路領域S1を覆うレジストパターン28のメモリセル領域S2側の端部と、が境界領域S3においてある一定以上の距離を設けるように設計する。このようにすると境界領域S3でレジストパターン28に覆われておらず且つ2層構造の導電膜27の下に第1のポリシリコン膜が存在しない領域に素子分離領域14が掘りこまれて溝31が形成される。これはドライエッチングの際、2層構造の導電膜27を除去した後、ONO膜24をエッチングする工程でONO膜24を構成する酸化膜と素子分離領域14の酸化膜との間のエッチングレートに差がないために生じる。しかし、この溝31には後工程で層間絶縁膜が埋め込まれるためにここに溝31が発生しても回路特性上問題は生じない。またこのとき、メモリセル領域S2の第1のポリシリコン膜の側壁に成膜されたONO膜は、第1のポリシリコン膜が厚く側壁に高さがあるため除去されずに、第1のポリシリコン膜の痕跡のように残って、図1に示すように、ONO膜の残渣24a、24bとなる。

【0028】次に、図7に示すように、メモリセル領域S2を覆い、周辺回路領域S1のゲート電極形成領域以外を開口したレジストパターン32を形成し、これをマスクとして、周辺回路領域S1の下層がポリシリコン膜で上層が高融点金属シリサイドよりなる2層構造の膜27をバーニングしてゲート電極34を形成する。

【0029】なお、この後、通常の方法で、メモリセル領域S2のゲート絶縁膜12にリン等をイオン注入し、全面に絶縁膜を形成し、この絶縁膜をエッチングバックしてコントロールゲート及びフローティングゲートの側壁にサイドウォールを形成する。これにより、ONO膜の残渣24a、24bは除去される。その後、メモリセルのゲート絶縁膜に例えば砒素等をイオン注入し、LDD構造のメモリ素子を形成する。また、周辺回路領域のゲート電極の両側にもイオン注入して拡散層を形成する。

【0030】本実施例においては、上述したように、図3に示すレジストパターン18は、メモリ素子間のみをエッチング除去し、メモリセル領域S2と周辺回路領域S1との間の境界領域S3には全面に第1のポリシリコン膜が形成されたままであるが、以下この理由について説明する。図8(a)は、本発明とは異なり、周辺回路領域S1とメモリセル領域S2との間に第1のポリシリコン膜が除去されている領域と残されている領域がある

場合の半導体記憶装置の製造方法の1工程を示す平面図、図8(b)及び図8(c)は、図8(a)に示すI—I線による断面図である(特願平11-016612参照)。図8(a)は、本実施例と同様の工程で、全面に第1のポリシリコン膜を形成して、レジストパターンにより第1のポリシリコン膜をバーニングしてフローティングゲートの下地層220を形成した状態を示している。このように、メモリ素子形成領域に形成されたゲート絶縁膜12上に列方向に延びる帯状のフローティングゲートの下地層220が各ゲート絶縁膜12上に個別に形成されている。また、周辺回路領域S1全面及び境界領域S2の一部の第1のポリシリコン膜がメモリセル領域S2を取り囲むように除去されずに残されている。この後、メモリセル領域S2の素子分離絶縁膜14のチャネルストップ用のイオン注入をし、周辺回路領域S1に形成されている第1のポリシリコン膜を除去するためメモリセル領域S2を覆うレジストパターンを形成する。このとき、境界領域S3に形成されている第1のポリシリコン膜よりもレジストパターンの縁部をメモリセル領域側にして、レジストパターンと第1のポリシリコンとを重ならないようにする。即ち、図8(a)の一点破線40に示すようにレジストパターンを形成した場合は、これをマスクとして第1のポリシリコン膜をエッチングすると、境界領域S3上に第1のポリシリコン膜が残されない。このとき、第1のポリシリコン膜の側壁に形成されているONO膜は、第1のポリシリコン膜の膜

厚分の高さがあるため、エッティングされきれず角状の残渣41となる。このONO膜の残渣41はゲート絶縁膜13形成前の洗浄処理時に剥離してゴミとなる可能性がある。これを防ぐ方法としては、図8(b)に示すように、メモリセル領域を覆うレジストマスクの縁部を境界領域S3に形成されている第1のポリシリコン膜より周辺回路領域S1側に形成する。即ち、図8(a)の一点破線42に示すようにレジストパターンを形成し、これをマスクとして第1のポリシリコン膜をエッティングすることにより、メモリセル領域S2の周囲を取り囲むリング状に第1のポリシリコン膜を残し、図8(c)に示すように、リング状のポリシリコン膜43にONO膜の残渣44を密着させる方法がある。しかしながら、このリング状のポリシリコン膜43はONO膜の残渣44を密着させる以外の機能はなく、レイアウト上無駄な領域である。このように、ONO膜の残渣が形成されるのを防止し、且つONO膜を密着させるためのリング状のポリシリコン膜を不要とするためには、第1のポリシリコン膜は図2に示すように、メモリセル領域のメモリ素子間のみバーニングし、境界領域上には第1のポリシリコン膜が全面に形成されなければならない。

【0031】本実施例によれば、メモリセル領域S2の外側のONO膜24を除去する際に、周辺回路領域S1のONO膜24の下層には第1のポリシリコン膜が残されている。従って、周辺回路領域のONO膜24をドライエッティングにより除去する際、オーバエッティングであってもシリコン基板10をエッティングすることを防止できる。また、メモリセル領域S2と周辺回路領域S1との間に第1のポリシリコン膜によるダミーパターンが生じないため、チップ面積を縮小することができる。更に、第1のポリシリコンにHSG (Hemispherical grained Silicon) を形成した場合、列方向で隣接するフローティングゲートの下地層20が繋がっており、更に、メモリセル領域S2から周辺回路領域S1まで連続して形成されているため、下地層20の縁部がフローティングゲートとなる領域から離れたところに位置することになる。これにより、ONO膜(浮遊ゲートと制御ゲート間の絶縁膜)をCVD法で下地層上に成膜した際の表面積依存性を回避することができ、メモリセル領域のフローティングゲート20a上に形成されるONO膜24の膜厚が均一になり、メモリ素子特性のバラツキを抑制することができる。

【0032】以下、本発明の第2の実施例について説明する。図9(a)は本実施例の不揮発性半導体記憶装置の平面図、図9(b)は、図9(a)のI-I線による断面図である。なお、図9及び図10に示す第2の実施例において、図1に示す第1の実施例と同一の構成要素には同一の符号を付してその詳細な説明は省略する。

【0033】コントロールゲートを形成するときに生じたフローティングゲートの側面の痕跡であるONO膜の

05 残渣24bは、サイドウォールを形成するための絶縁膜のエッティングバックにより最終的には消失するが、レジスト膜を剥離する工程及び熱処理前の洗浄工程等の全てのウェット工程において剥離してゴミとなる可能性がある。即ち、ONO膜の残渣24aは、コントロールゲートが形成されている領域の内側では両端がコントロールゲート30と密着しているため剥がれにくくなっているがコントロールゲート30の外側のゲート絶縁膜12に挟まれた領域に残されたONO膜の残渣24bは孤立しているため剥離する可能性がある。これを防ぐために、本実施例においては、コントロールゲートの両側にフローティングゲートの痕跡であるONO膜の残渣24bの端部を覆うように配置されるダミーパターンを形成する。

10 15 【0034】図9(a)及び(b)に示すように、第1の実施例と同様に周辺回路領域S1とメモリセル領域S2とが形成され、メモリセル領域S2はメモリ素子がマトリクス状に配置されている。このメモリ素子のコントロールゲート30の両側に行方向に延びるようにコントロールゲート30と同様の導電膜によりダミーパターン39が形成されている。本実施例においては、コントロールゲート30形成工程直後には、コントロールゲート30の外側にONO膜の残渣24cを有し、その一端がダミーパターン39に、他端がコントロールゲート30に密着している。また、コントロールゲート形成領域の内部には素子分離絶縁膜14の縁部に沿ってONO膜の残渣24aが形成され、両端が隣接するコントロールゲート30と密着している。

20 25 30 35 40 45 50 【0035】次に、本実施例に係る不揮発性半導体記憶装置の製造方法について説明する。第1の実施例の図3乃至図5に示す工程と同様の工程により、周辺回路領域S1には素子分離絶縁膜14に囲まれた領域にゲート絶縁膜12を形成する。また、メモリセル領域S2には、メモリ素子形成領域の周囲を取り囲む素子分離絶縁膜14を形成し、この素子分離絶縁膜14に囲まれた領域のシリコン基板10上にゲート絶縁膜12を形成する。更に、第1のポリシリコン膜を堆積し、メモリ素子の列間の第1のポリシリコン膜のみを選択的に除去してフローティングゲートの下地層20を形成した後、下地層20を除去した領域の素子分離絶縁膜14にp型シリコン基板10と同一導電型になるように例えばホウ素等の不純物を注入する。更に、全面にONO膜24を形成し、周辺回路領域S1のONO膜24及び第1のポリシリコン、並びにゲート絶縁膜12を除去して、周辺回路領域S1にゲート絶縁膜13を形成する。そして、例えば下層がポリシリコン膜で上層が高融点金属シリサイドからなる2層構造の導電膜27を全面に形成する。

【0036】次いで、図10に示すように、周辺回路領域S1の全面を覆うと共にメモリセル領域S2のコントロールゲート及びダミーパターン形成領域以外の導電膜

27を露出したレジストパターン29を形成する。そして、図11に示すように、コントロールゲート30及びダミーパターン39をパターニングする。この際、露出部分のONO膜24及び第1のポリシリコン膜も除去されるが、フローティングゲートの下地層を形成したときに除去した素子分離絶縁膜14上の領域において第1のポリシリコン膜の側壁に形成されているONO膜24は高さがあるため、エッチング除去されずにONO膜の残渣24a、24cが形成される。ONO膜の残渣24a、24cのうち、コントロールゲート形成領域内側のONO膜の残渣24aは、両端がコントロールゲートに密着されるが、本実施例においては、ダミーパターン39が形成されているため、コントロール領域外のONO膜の残渣24cは、一端がコントロールゲート30に、他端がダミーパターン39に密着する。なお、コントロールゲート30の形成時に同時に形成するダミーパターン39は、不揮発性半導体記憶装置の動作時にはGNDに接続される。

【0037】本実施例においては、全てのONO膜の残りの両端をコントロールゲート又はダミーパターンに密着するよう形成することができるため、このONO膜の残りが剥離してゴミとなることを防止することができる。また、第1の実施例と同様に、フローティングゲートの下地層20の面積が大きいため、フローティングゲート20a上に形成されるONO膜24が均一になり、メモリセル領域のメモリ素子特性のばらつきを抑制することができる。

【0038】

【発明の効果】本発明によれば、メモリセル領域外に形成されたフローティングゲートとコントロールゲートとの間の絶縁膜を除去する際に、周辺回路領域には第1の導電膜が形成されているため、シリコン基板をオーバーエッチングすることなく、周辺回路領域に形成されるトランジスタ特性が劣化するのを防止する。また、メモリセル領域と周辺回路領域との間にダミーパターンが生じないのでチップ面積を縮小することができる。更に、フローティングゲート上にフローティングゲートとコントロールゲートとの間の絶縁膜をCVD法で成膜する際はフローティングゲートの下地層がメモリ素子の列間となる領域のみしか除去されていない第1の導電膜となるため、前記絶縁膜の膜厚が均一になり、メモリセル特性のバラツキを抑制することができる。

【図面の簡単な説明】

【図1】(a)は本発明の第1実施例に係る不揮発性半導体記憶装置を示す平面図、(b)は、(a)のA-A線による断面図である。

【図2】(a)及び(b)は、図1(a)のB-B線及びC-C線による断面図である。

【図3】(a)は、本発明の第1の実施例に係る不揮発性半導体記憶装置の製造方法の1工程を示す平面図、

(b)は、(a)のD-D線による断面図である。

【図4】本発明第1の実施例に係る不揮発性半導体記憶装置の製造方法の1工程を示す図であって、(a)は図2に示す工程の次の工程を示す平面図、(b)は、

05 (a)のE-E線による断面図である。

【図5】本発明第1の実施例に係る不揮発性半導体記憶装置の製造方法の1工程を示す図であって、(a)は図3に示す工程の次の工程を示す平面図、(b)は、(a)のF-F線による断面図である。

10 【図6】本発明第1の実施例に係る不揮発性半導体記憶装置の製造方法の1工程を示す図であって、(a)は図3に示す工程の次の工程を示す平面図、(b)は、(a)のG-G線による断面図である。

【図7】本発明第1の実施例に係る不揮発性半導体記憶装置の製造方法の1工程を示す図であって、(a)は図5に示す工程の次の工程を示す平面図、(b)は、(a)のH-H線による断面図である。

15 【図8】特願平11-016612の不揮発性半導体記憶装置の製造方法の1工程を示す図であって、(a)は平面図、(b)及び(c)は、(a)のI-I線及びG-G線による断面図である。

【図9】(a)は本発明の第2実施例に係る不揮発性半導体記憶装置を示す平面図、(b)は、(a)のJ-J線による断面図である。

20 25 【図10】(a)は、本発明の第2の実施例に係る不揮発性半導体記憶装置の製造方法の1工程を示す平面図、(b)は、(a)のK-K線による断面図である。

【図11】(a)は従来の不揮発性半導体記憶装置を示す平面図、(b)は(a)のL-L線による断面図である。

30 35 【図12】(a)は、従来の不揮発性半導体記憶装置の製造方法の1工程を示す平面図、(b)は、(a)のM-M線による断面図である。

【図13】従来の不揮発性半導体記憶装置の製造方法の1工程を示す図であって、(a)は図12に示す工程の次の工程を示す平面図、(b)は、(a)のN-N線による断面図である。

40 45 【図14】従来の不揮発性半導体記憶装置の製造方法の1工程を示す断面図である。

【図15】従来の不揮発性半導体記憶装置の製造方法の1工程を示す図であって、(a)は図14に示す工程の次の工程を示す平面図、(b)は、(a)のO-O線による断面図である。

【図16】従来の不揮発性半導体記憶装置の製造方法の1工程を示す図であって、(a)は図15に示す工程の次の工程を示す平面図、(b)は、(a)のP-P線による断面図である。

50 【図17】従来の不揮発性半導体記憶装置の製造方法の1工程を示す図であって、(a)は図16に示す工程の次の工程を示す平面図、(b)は、(a)のQ-Q線に

よる断面図である。

【符号の説明】

- 10 ; シリコン基板
- 12、13 ; ゲート絶縁膜
- 13 ; 素子分離絶縁膜
- 18、22、28 ; レジストパターン
- 20a ; フローティングゲート
- 20 ; フローティングゲートの下地層
- 30 ; コントロールゲート

24 ; ONO膜

24a、24b、24c ; ONO膜の残渣

27 ; 導電膜

34 ; ゲート電極

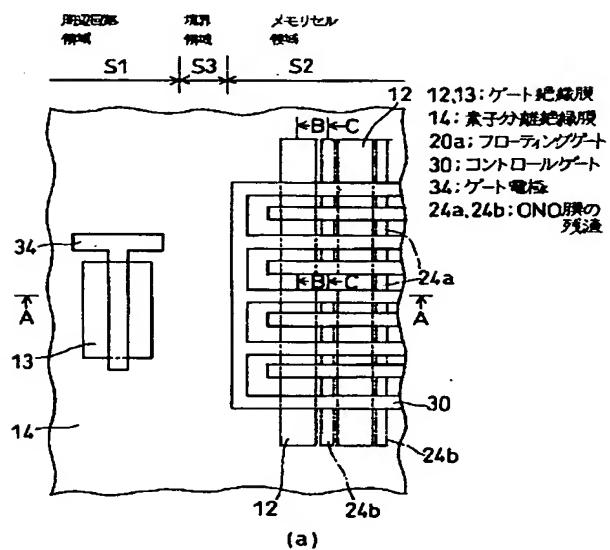
05 39 ; ダミーパターン

S1、S4 ; 周辺回路領域

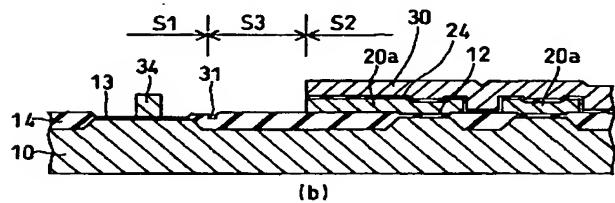
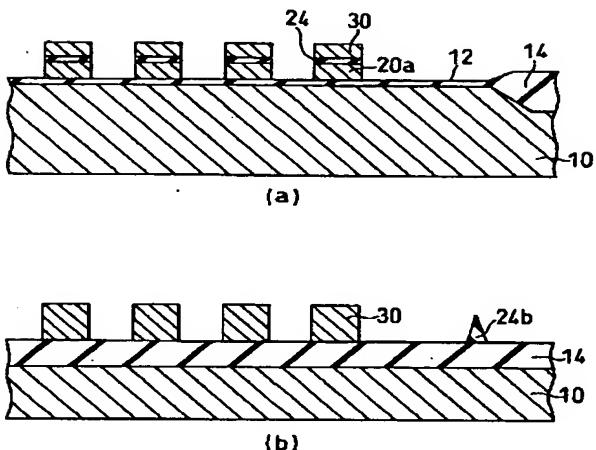
S2、S5 ; メモリセル領域

S3 : 境界領域

【図1】

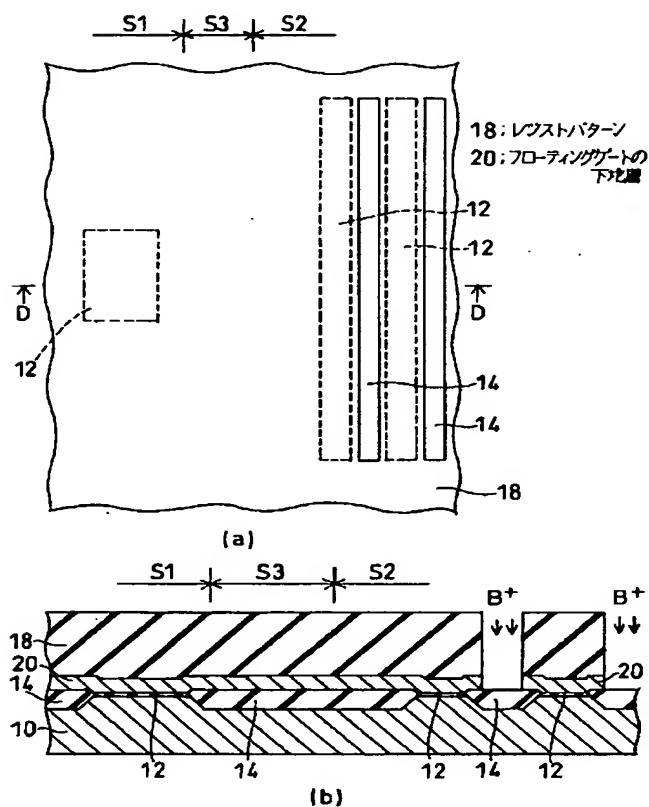


【図2】

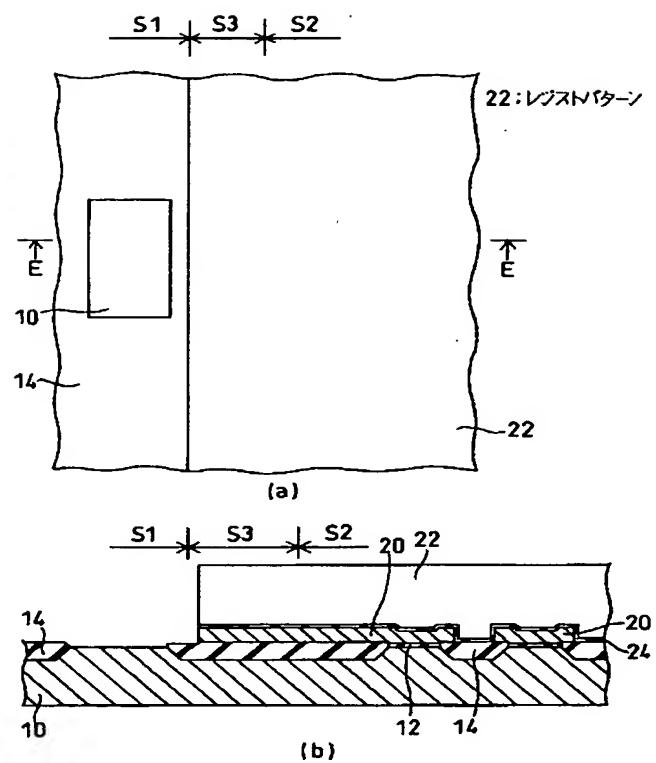


【図14】

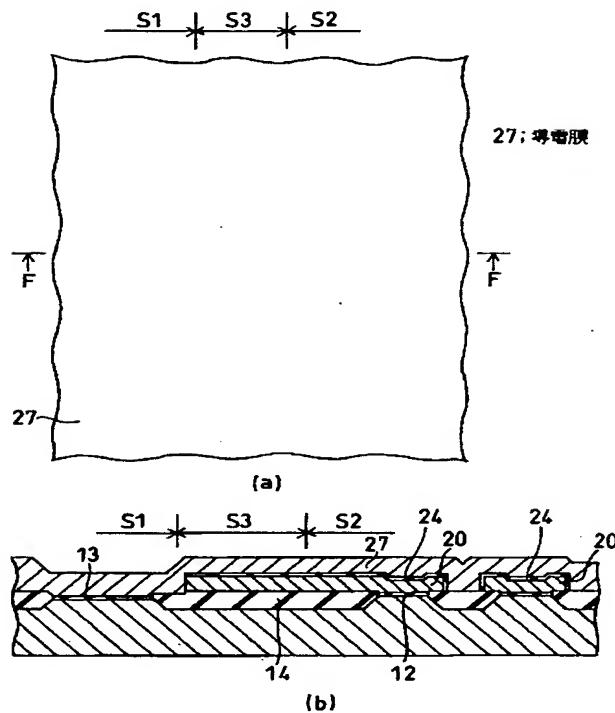
【図3】



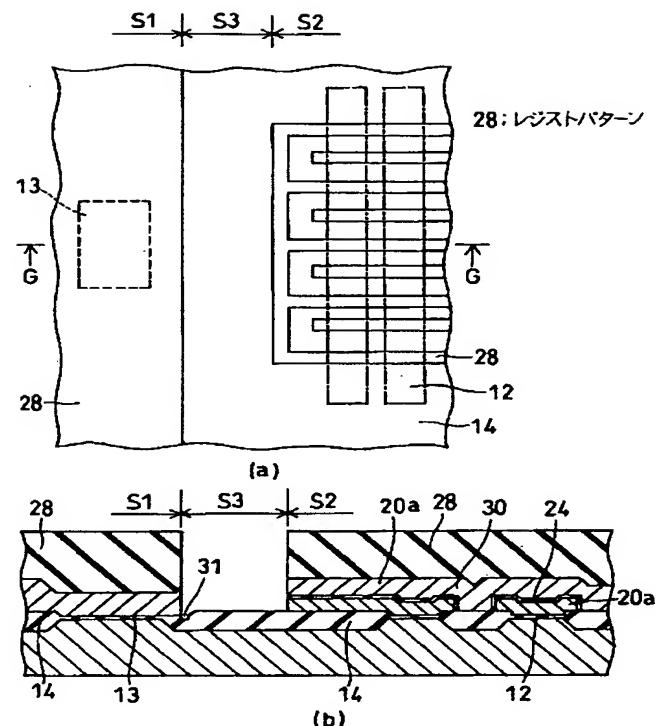
【図4】



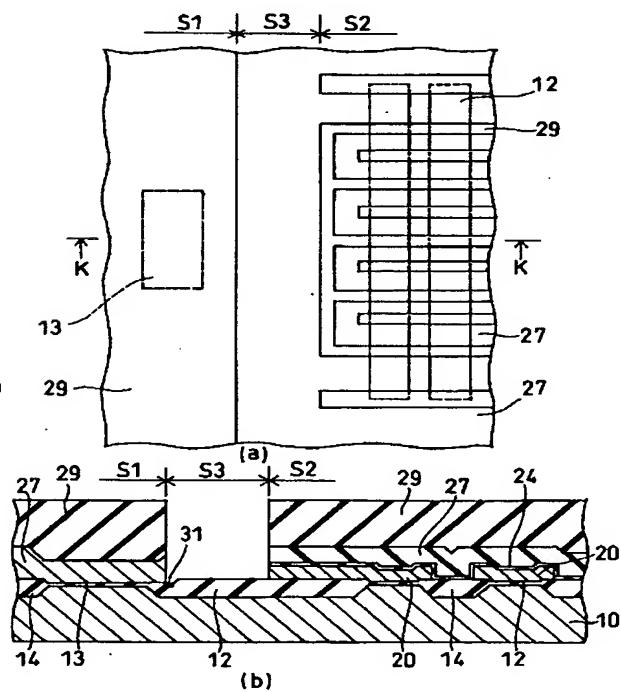
【図5】



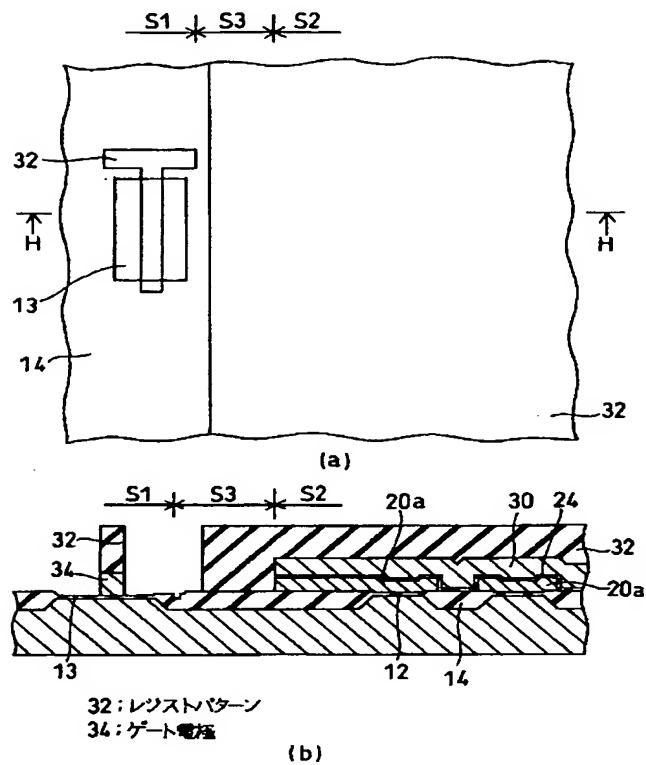
【図6】



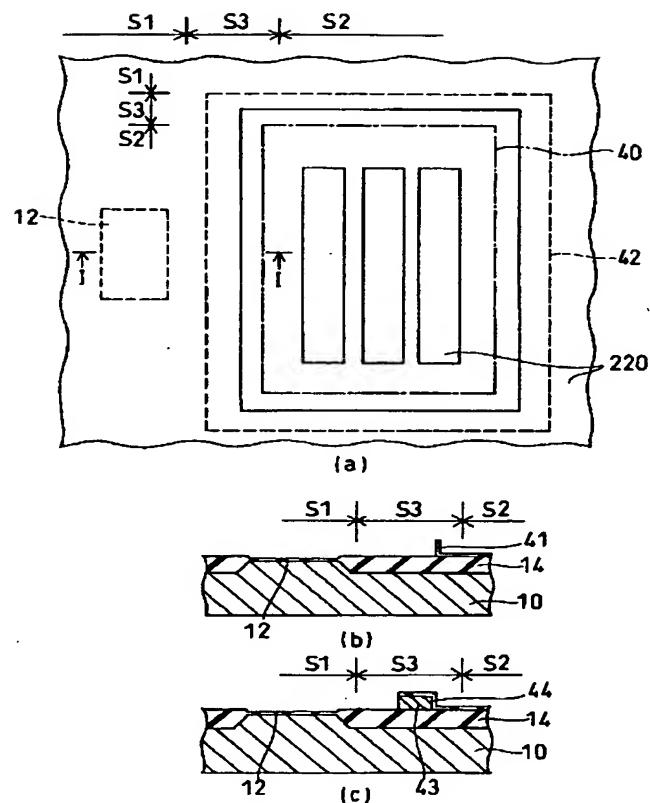
【図10】



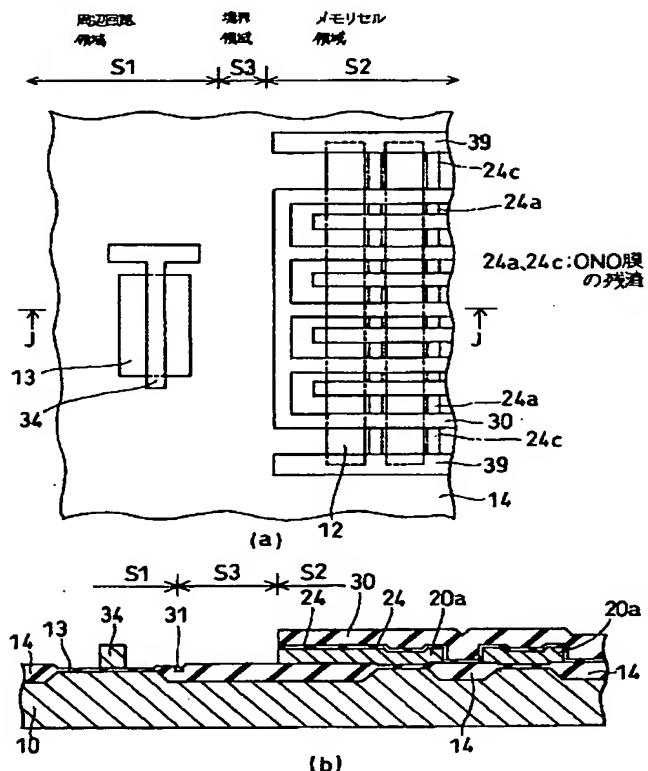
【図7】



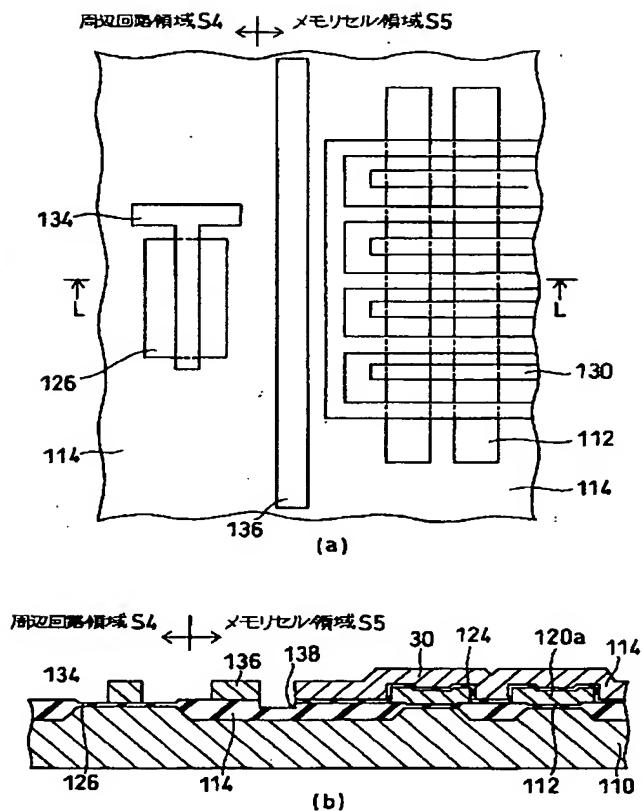
【図8】



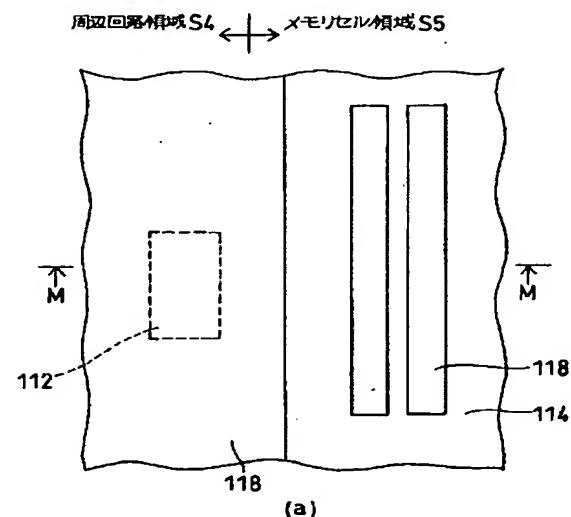
【図9】



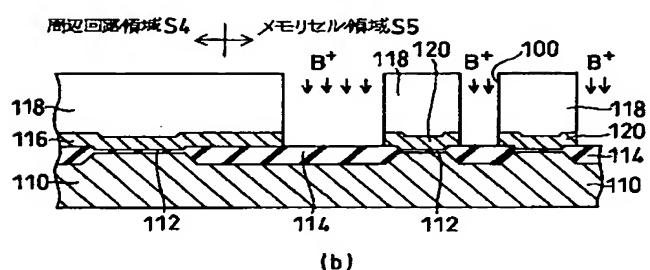
【図11】



【図12】

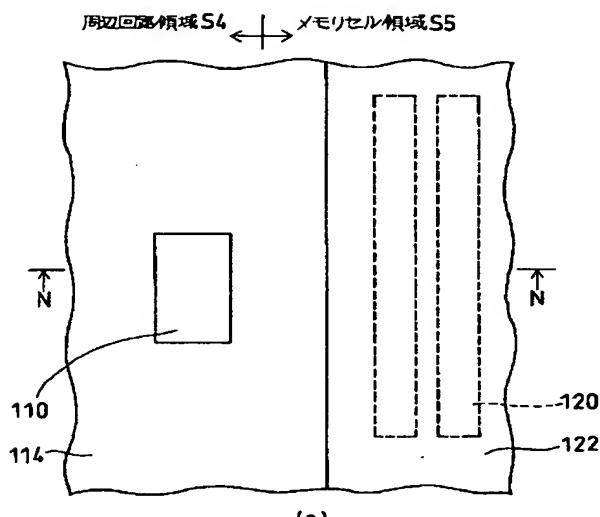


(a)

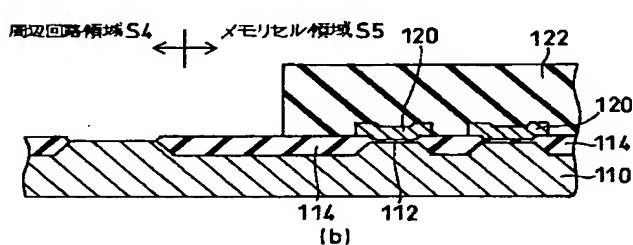


(b)

【図13】

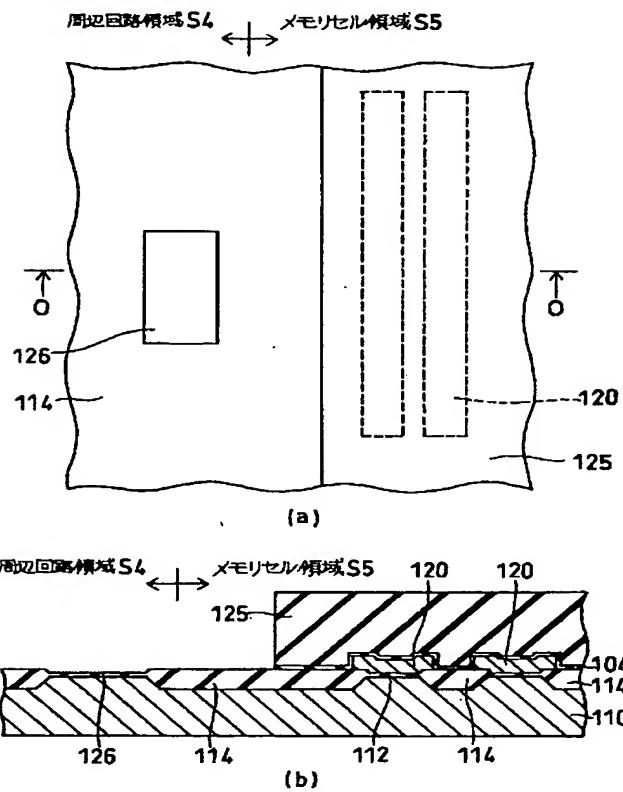


(a)

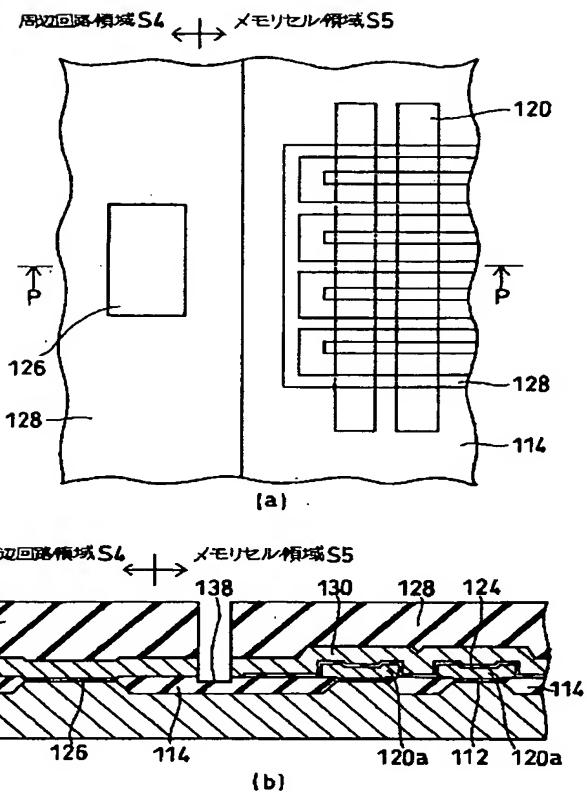


(b)

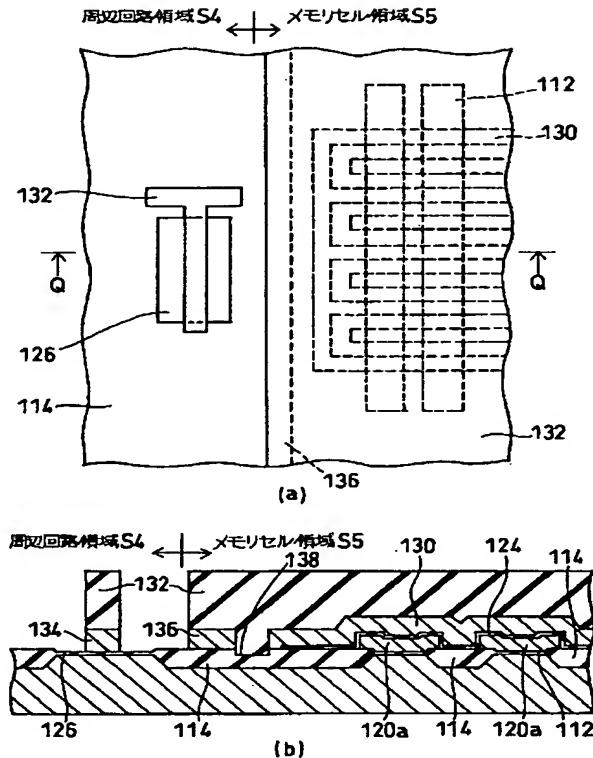
【図15】



【図16】



【図17】



【手続補正書】

【提出日】平成13年5月22日(2001.5.2)
2)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】ONO膜124は、フローティングゲート電極上に形成する膜として最適化されたものであるが、周辺回路領域S4のトランジスタのゲート絶縁膜としては不適切であるので、図15に示すように、周辺回路領域S4を開口したレジストパターン125を形成し、このレジストパターン125をマスクとして周辺回路領域S4のONO膜124を除去する。ONO膜124の除去については、ドライエッチングにより除去する方法と、ウェットエッチングで除去する方法とがある。次いで、ゲート酸化を行って、周辺回路領域S4にゲート絶縁膜126を形成する。次に、レジストパターン125を除去する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

35 【0008】次に、第2のポリシリコン膜を全面に形成し、更にレジスト膜を形成し、周辺回路領域S4を覆うと共にメモリセル領域S5のコントロールゲート電極形成領域以外を開口したレジストパターン128を形成する。そして、図16に示すように、メモリセル領域S5のコントロールゲート130をパターニングする。コントロールゲート130はONO膜124を介してフローティングゲート120aの上に形成される。パターニングにより第2のポリシリコンが除去された領域138は、下側の素子分離領域114が掘り込まれる。次に、レジストパターン128を除去する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】最後に、図17に示すように、メモリセル領域S5を覆うと共に周辺回路領域S4のゲート電極形成領域以外を開口したレジストパターン132を形成し、このレジストパターン132をマスクとして第2のポリシリコン膜をパターニングし、周辺回路領域S4のゲート電極134を形成する。このとき、領域138における素子分離領域114がエッチングされて素子分離膜としての膜厚が減るのを防止するために、メモリセル領域S5を覆うレジストパターン132の周辺回路領域S4側の端部は領域138を覆うように形成する。これにより、メモリセル領域S5と周辺回路領域S4との間に、第2のポリシリコン膜により形成されたダミーパターン136が残される。このダミーパターン136は、メモリセル領域S5を取り囲んで形成されており、この不揮発性半導体記憶装置の使用の際には、GNDに接続される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】図1(a)及び(b)に示すように、シリコン基板10表面には、素子分離絶縁膜14が形成され、この素子分離絶縁膜14によりメモリセル領域S2と周辺回路領域S1とが仕切られている。メモリセル領域S2においては、メモリセル領域S2内で素子分離絶縁膜14により相互に平行に延びるように複数の帯状の領域が仕切られ、この領域のシリコン基板10上にゲート絶縁膜12が形成されている。そして、このゲート絶縁膜12が形成された帯状領域の長手方向とは直交するように、複数本のコントロールゲート30が形成されている。コントロールゲート30は、その端部が一本置きに接続された樹形になっている。そして、このコントロールゲート30の下層であって、ゲート絶縁膜12の上にはフローティングゲート20aが形成され、更に、フローティングゲート20a上にONO膜24が形成されている。本実施例においては、コントロールゲート30及びフローティングゲート20aの形成工程直後には、ゲート絶縁膜12が形成されている領域間のコントロールゲート30が形成されていない領域の素子分離絶縁膜14の縁部に沿ってONO膜の残渣24a、24bが形成され、コントロールゲート30が形成されている領域の内側に形成されたONO膜の残渣24aはその両端がコントロールゲート30に密着している。また、コントロールゲート30形成領域外部に形成されているONO膜の残渣24bは、ゲート絶縁膜12の間の素子分離絶縁膜14上にてコの字型になっている。但し、コントロールゲート30形成工程の後工程においてLDD(Light Doped Drain)構造のメモリ素子のソース・ドレイン領域となる拡散層形成用のサイドウォールを形成するた

めの絶縁膜を形成してエッチバックをするときに、ONO膜の残渣24a、24bは消失する。このようにしてメモリセル領域では、メモリ素子がマトリクス状に形成され、列方向のメモリ素子の拡散層が相互に共用されている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】その後、図6(a)及び(b)に示すように、周辺回路領域S1の全面を覆い、メモリセル領域S2のコントロールゲート形成領域以外の導電膜27が露出されたレジストパターン28を形成し、このレジストパターン28をマスクとしてメモリセル領域S2にコントロールゲート30をパターニングする。このときレジストパターン28の周辺回路領域S1のメモリセル領域S2側の端部において、境界領域S3に形成されている第1のポリシリコン膜を完全に除去するため、境界領域S3の第1のポリシリコン膜と重ならないように形成する。このために、図4に示すメモリセル領域S2を覆うレジストパターン22の周辺回路領域S1側の端部と、図5に示す周辺回路領域S1を覆うレジストパターン28のメモリセル領域S2側の端部と、が境界領域S3において、ある一定以上の距離を設けるように設計する。このようにすると境界領域S3でレジストパターン28に覆われておらず且つ2層構造の導電膜27の下に第1のポリシリコン膜が存在しない領域に素子分離領域14が掘りこまれて溝31が形成される。これはドライエッティングの際、2層構造の導電膜27を除去した後、ONO膜24をエッチングする工程でONO膜24を構成する酸化膜と素子分離領域14の酸化膜との間のエッティングレートに差がないために生じる。しかし、この溝31には後工程で層間絶縁膜が埋め込まれるために溝31が発生しても回路特性上問題は生じない。またこのとき、メモリセル領域S2の第1のポリシリコン膜の側壁に成膜されたONO膜24は、第1のポリシリコン膜が厚く側壁に高さがあるため除去されずに、第1のポリシリコン膜の痕跡のように残って、図1に示すように、ONO膜の残渣24a、24bとなる。次に、レジストパターン28を除去する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】以下、本発明の第2の実施例について説明する。図9(a)は本実施例の不揮発性半導体記憶装置の平面図、図9(b)は、図9(a)のI-I線による断面図である。なお、図9及び図10に示す第2の実施

例において、図1に示す第1の実施例と同一の構成要素には同一の符号を付してその詳細な説明は省略する。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】 0033

【補正方法】麥更

【補正內容】

【0033】コントロールゲートを形成するときに生じたフローティングゲートの側面の痕跡であるONO膜の残渣24bは、サイドウォールを形成するための絶縁膜のエッチバックにより最終的には消失するが、レジスト膜を剥離する工程及び熱処理前の洗浄工程等の全てのウエット工程において剥離してゴミとなる可能性がある。

即ち、ONO膜の残渣24aは、コントロールゲート30が形成されている領域の内側では両端がコントロール

ゲート 3 0 と密着しているため剥がれにくくなっているがコントロールゲート 3 0 の外側のゲート絶縁膜 1 2 に挟まれた領域に残されたONO膜の残渣 2 4 b は孤立しているため剥離する可能性がある。これを防ぐために、

【手続補正 8】

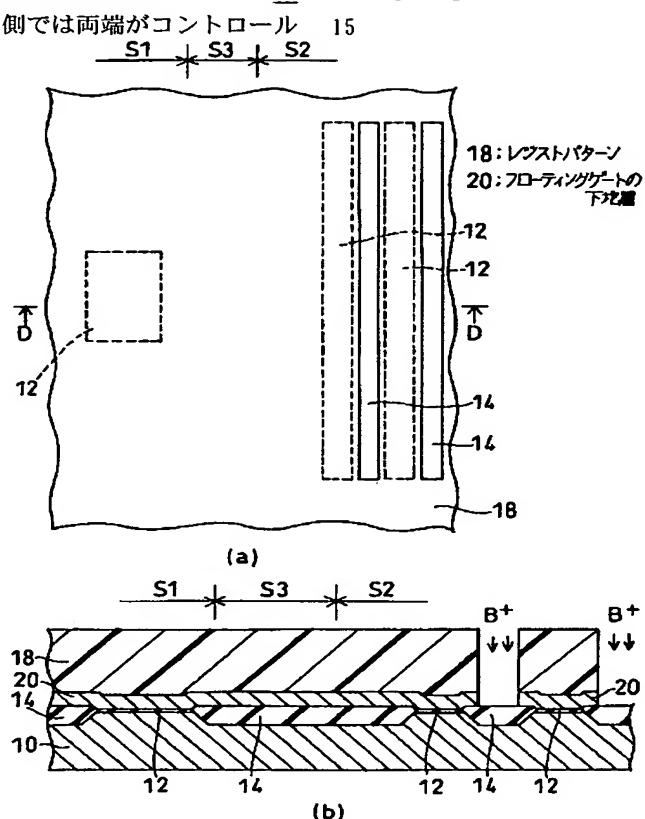
10 【補正対象書類名】 図面

【補正対象項目名】 図 3

【補正方法】変更

【補正內容】

【图3】



【手続補正9】

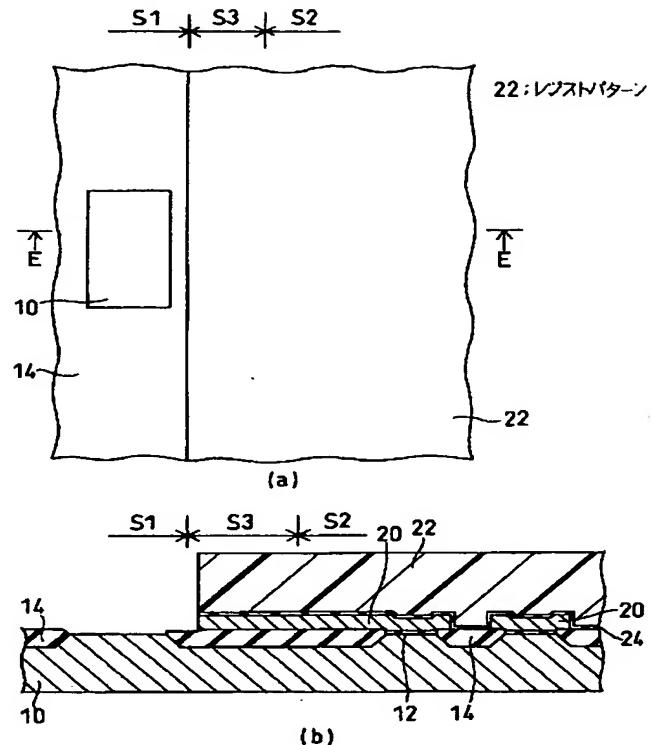
【補正対象書類名】 図面

【補正対象項目名】 図 4

【補正方法】変更

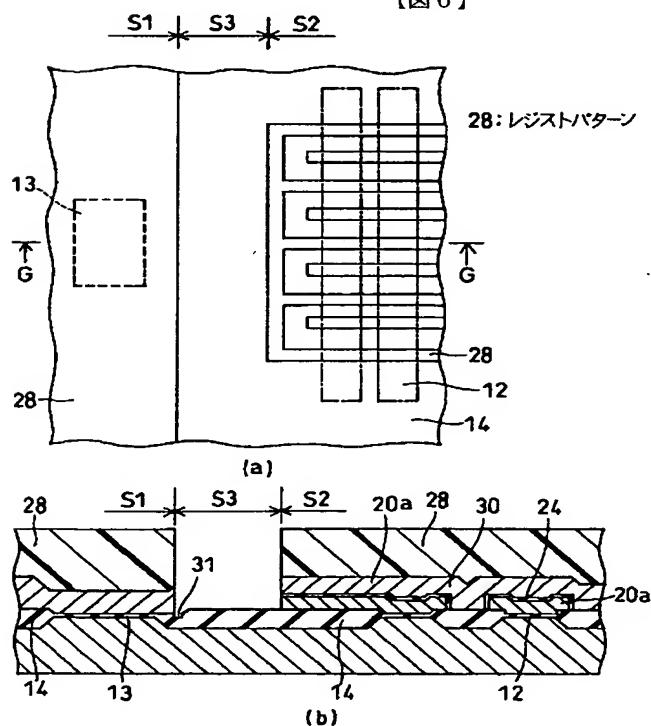
【補正内容】

【图4】



【手続補正10】
 【補正対象書類名】図面
 【補正対象項目名】図6

25 【補正方法】変更
 【補正内容】
 【図6】



【手続補正11】

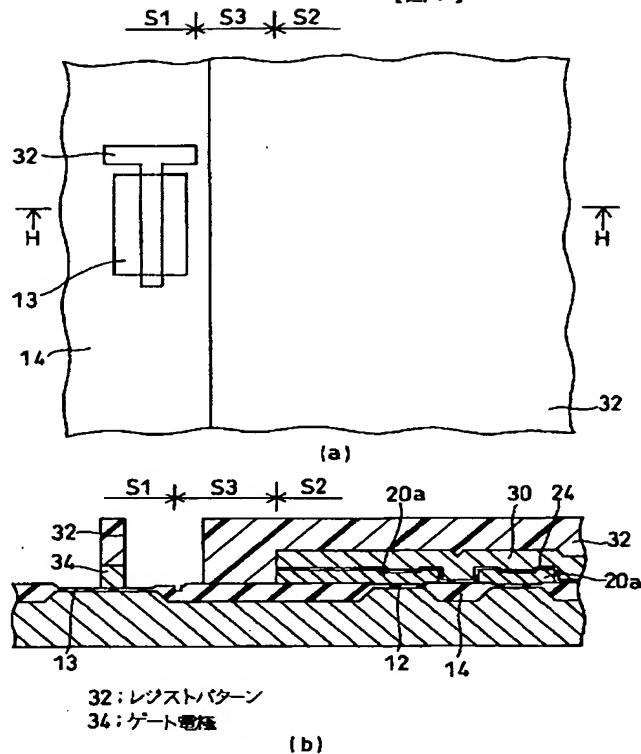
【補正対象書類名】図面

【補正対象項目名】図7

【補正方法】変更

【補正内容】

【図7】



【手続補正12】

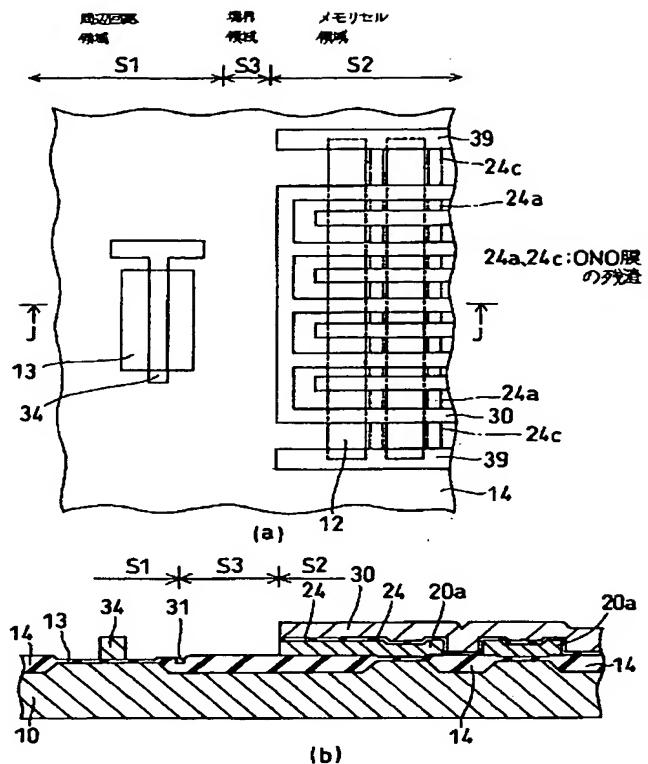
【補正対象書類名】図面

【補正対象項目名】図9

【補正方法】変更

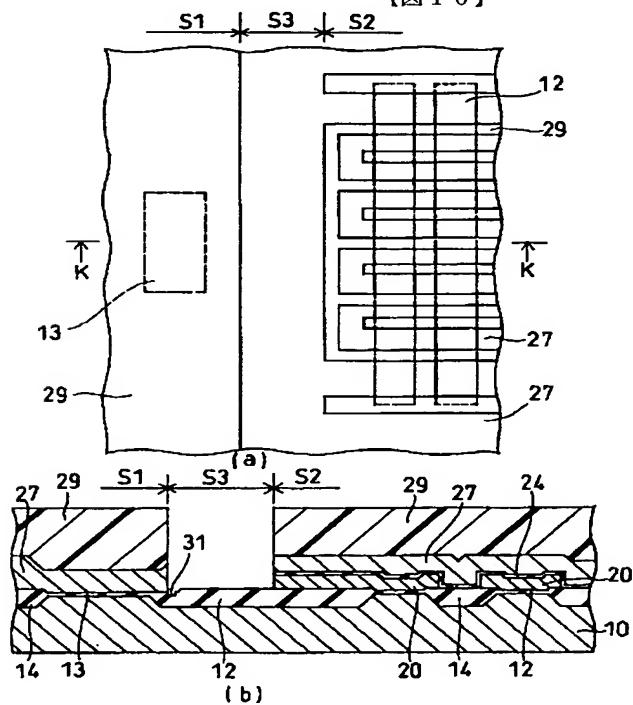
【補正内容】

30 【図9】



【手続補正13】
 【補正対象書類名】図面
 【補正対象項目名】図10

25 【補正方法】変更
 【補正内容】
 【図10】

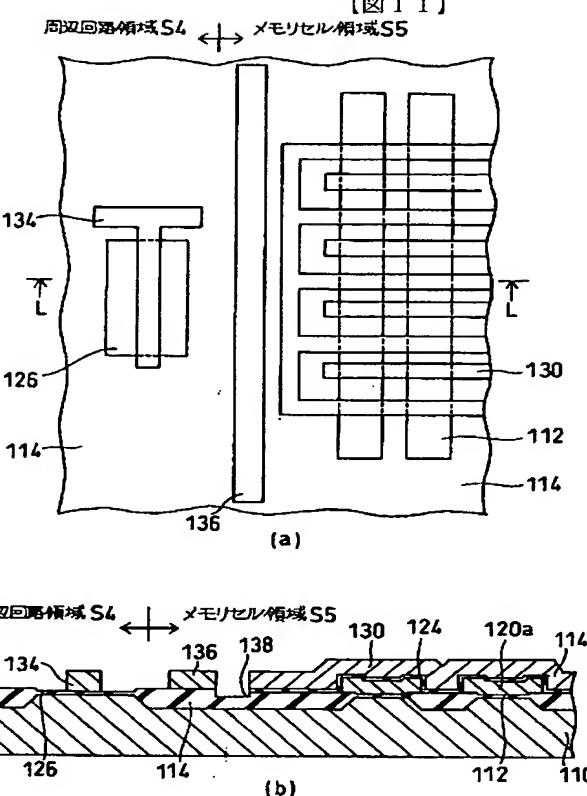


【補正対象項目名】図11

【補正方法】変更

【補正内容】

【図11】



【手続補正15】

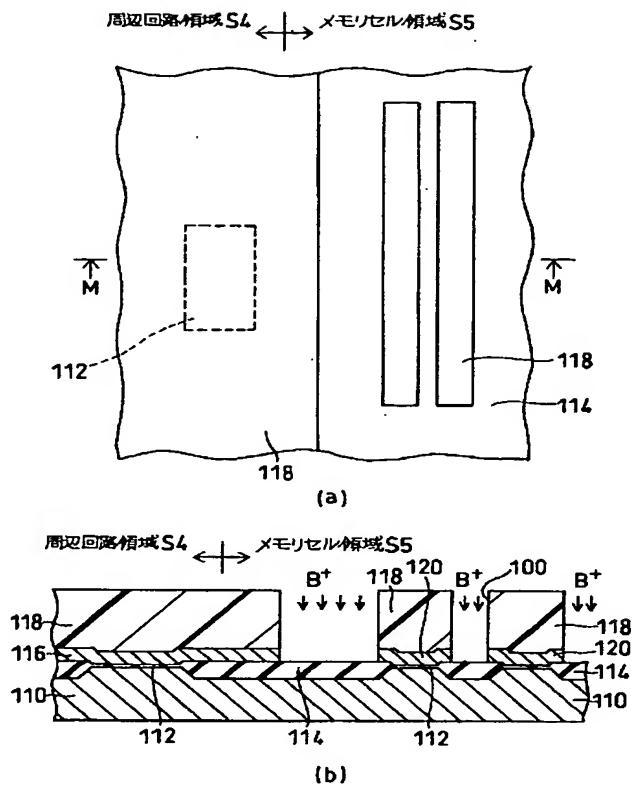
【補正対象書類名】図面

【補正対象項目名】図12

【補正方法】変更

【補正内容】

30 【図12】



【手続補正16】

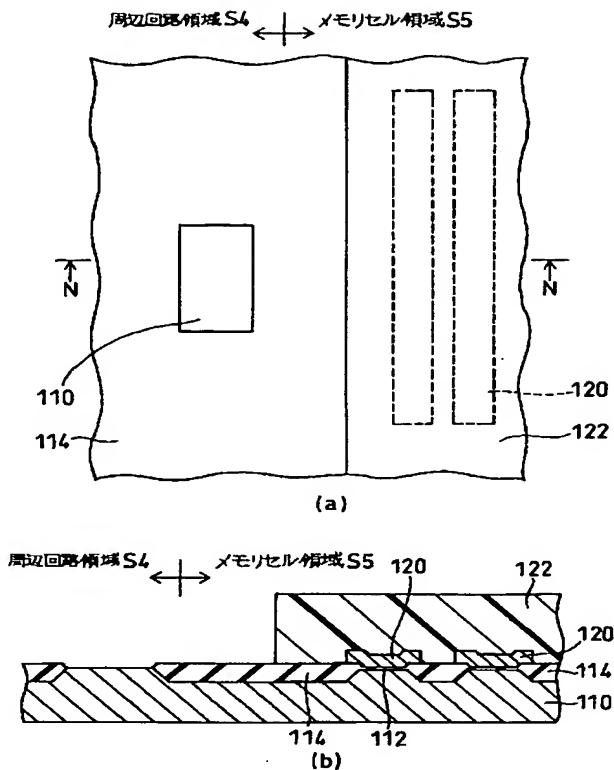
【補正対象書類名】図面

【補正対象項目名】図13

【補正方法】変更

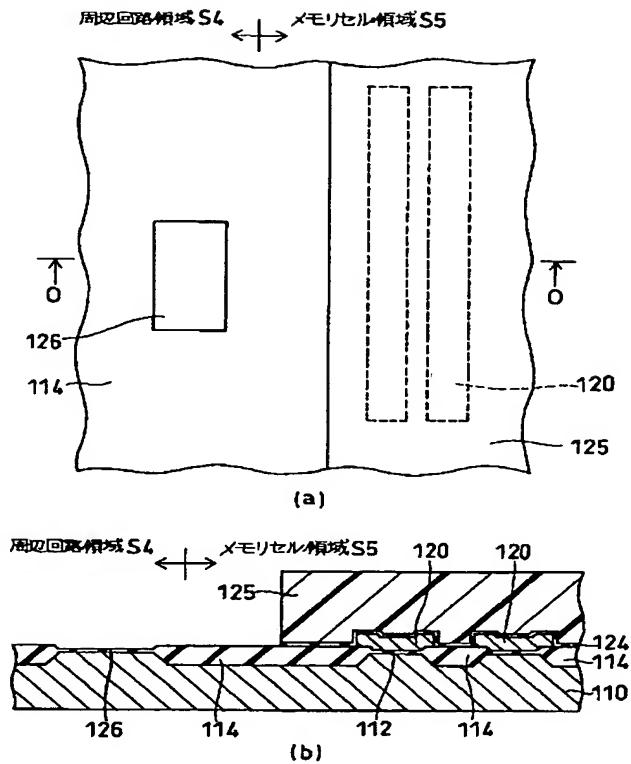
【補正内容】

【図13】



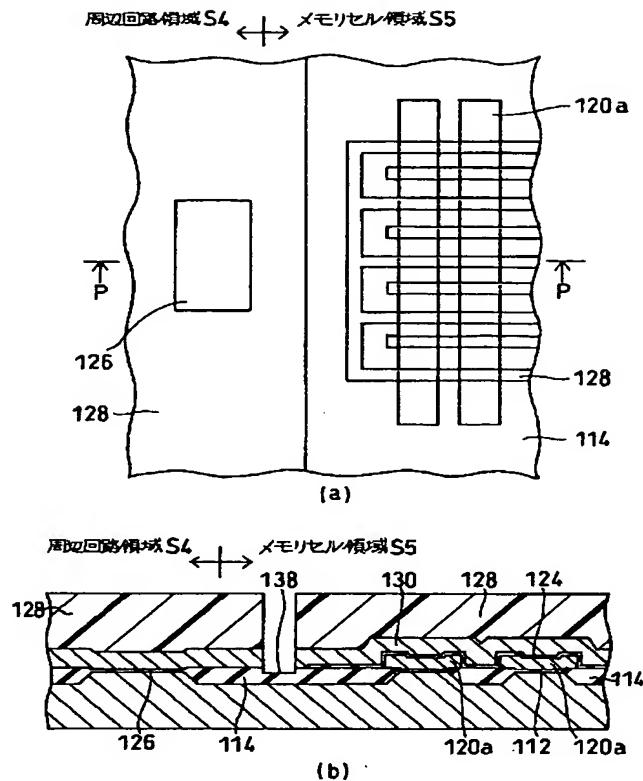
【手続補正17】
【補正対象書類名】図面
【補正対象項目名】図15

25 【補正方法】変更
【補正内容】
【図15】



【手続補正18】
【補正対象書類名】図面
【補正対象項目名】図16

25 【補正方法】変更
【補正内容】
【図16】



【手続補正19】
 【補正対象書類名】図面
 【補正対象項目名】図17
 【補正方法】変更
 【補正内容】
 【図17】

